

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-211842

(43)Date of publication of application : 03.08.1992

(51)Int.Cl.

G06F 11/22

G01R 31/28

(21)Application number : 03-024953

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 20.02.1991

(72)Inventor : HASHIZUME TAKESHI  
SAKASHITA KAZUHIRO

(30)Priority

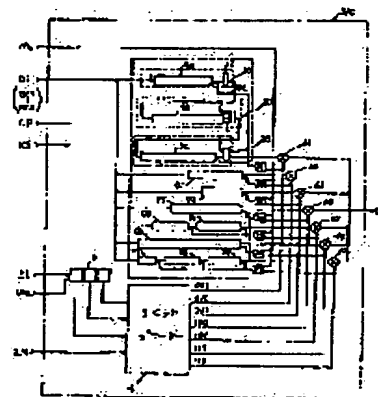
Priority number : 02 86102    Priority date : 29.03.1990    Priority country : JP

## (54) INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

**PURPOSE:** To suppress the alteration of the design of a test circuit to the minimum even if the alteration of the circuit arises in a circuit to be tested, and in addition, to shorten time required for testing the circuit to be tested by operating selectively a bypass circuit installed in a shift bus circuit.

**CONSTITUTION:** Three shift bus circuits 10', 20', 30' provided with the bypass circuit respectively are connected in series between a test data input TDI and a test data output TDO. Each shift bus circuit constitutes a design definition test data register connected to the circuit to be tested.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-211842

(43) 公開日 平成4年(1992)8月3日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/22	3 6 0 P	9072-5B		
G 0 1 R 31/28		6912-2G	G 0 1 R 31/28	G
		6912-2G		V

審査請求 未請求 請求項の数3 (全 15 頁)

(21) 出願番号 特願平3-24953

(22) 出願日 平成3年(1991)2月20日

(31) 優先権主張番号 特願平2-86102

(32) 優先日 平2(1990)3月29日

(33) 優先権主張国 日本 (J P)

特許法第30条第 項適用申請有り 1990年11月21日、電子情報通信学会技術研究報告において「バウンダリスキヤンと整合した、セルベーステスト設計手法」に発表

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内2丁目2番3号

(72) 発明者 橋爪 毅

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

(72) 発明者 坂下 和広

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

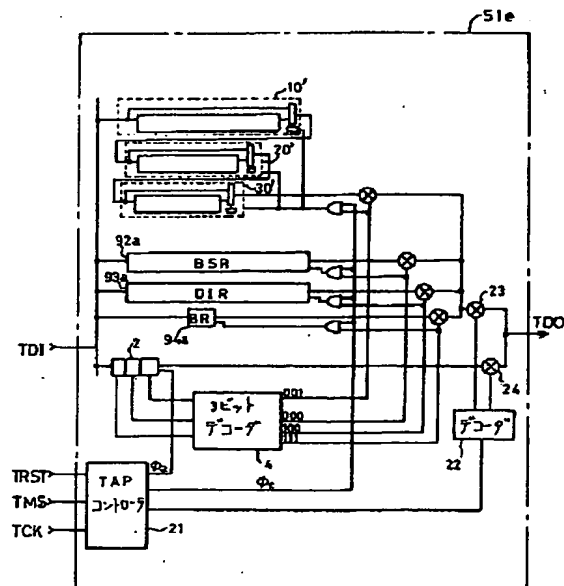
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 集積回路装置

(57) 【要約】

【構成】 テストデータ入力TDIとテストデータ出力TDOとの間に、各々がバイパス回路を備えた3つのシフトバス回路10'、20'、30'が直列に接続される。各シフトバス回路は、テストされるべき被テスト回路に接続された設計定義テストデータレジスタを構成する。

【効果】 被テスト回路において回路変更が生じて、シフトバス回路内に設けられたバイパス回路を選択的に動作させることにより、テスト回路の設計変更を最小限に抑えることができる。これに加えて、被テスト回路をテストするのに要する時間が短縮される。



## 【特許請求の範囲】

【請求項1】 単一のデータ入力と、単一のデータ出力と、前記データ入力とデータ出力との間に結合された少なくとも1つのシフトレジスタ手段と、各々がテストされるべき複数の被テスト回路と、各々が前記複数の被テスト回路の対応する1つに接続され、前記対応する1つの被テスト回路のためのスキャンパスを構成する複数のスキャンパス回路手段とを含み、前記複数のスキャンパス回路手段は、前記データ入力とデータ出力との間に直列に接続され、直列接続が構成され、前記複数のスキャンパス回路手段の前記直列接続および前記少なくとも1つのシフトレジスタ手段は、互いに並列に接続され、外部的に与えられる選択信号にตอบสนองして、前記複数のスキャンパス回路手段の前記直列接続および前記少なくとも1つのシフトレジスタ手段の一方を選択的に有効化させる選択的有效化手段と、各々が前記複数のスキャンパス回路手段の対応する1つをわたって接続され、前記対応する1つのスキャンパス回路手段をバイパスさせるための複数のバイパス手段と、外部的に与えられるバイパス制御信号にตอบสนองして、前記複数のバイパス回路手段を選択的に動作させるバイパス制御手段とを含む、集積回路装置。

【請求項2】 前記少なくとも1つのシフトレジスタ手段は、バウンダリスキャンレジスタ、デバイス識別レジスタ、バイパスレジスタおよび命令レジスタの少なくとも1つを含む。

【請求項3】 外部的に与えられるテストデータに基づいて動作テストを実行可能な集積回路装置であって、前記テストデータを受けるためのテストデータ入力と、テスト結果データを出力するためのテストデータ出力と、各々がテストされるべき第1および第2の被テスト回路ブロックと、前記第1の被テスト回路ブロックに接続され、前記第1の被テスト回路ブロックにまたはからテストデータを書込みまたは読出すための第1のスキャンパス回路手段と、前記第2の被テスト回路ブロックにまたはからテストデータを書込みまたは読出すための第2のスキャンパス回路手段とを含み、前記第1および第2のスキャンパス回路手段は、前記テストデータ入力とテストデータ出力との間に並列に接続され、外部的に与えられる選択信号にตอบสนองして、前記第1および第2のスキャンパス回路手段の一方を選択的に有効化させる選択的有效化手段を含み、前記第2のスキャンパス回路手段は、前記テストデータ入力とテストデータ出力との間に接続され、 $n$ 段にカスケードされた $n$ 個( $n \geq 2$ )のシフトレジスタ手段を含み、前記カスケードされた $n$ 個のシフトレジスタ手段は、前記第2の被テスト回路ブロックにまたはからテストデータを書込みまたは読出し、各々が対応する1つの前記シフトレジスタ手段の入力と出力との間に接続され、前記対応する1つのシフトレジスタ手段のバイパスを構成する $n$ 個のバイパス手段を備え、外

部的に与えられるバイパス制御信号にตอบสนองして、前記 $n$ 個のバイパス手段を選択的に動作させるバイパス制御手段を含む、集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、一般に集積回路装置に関し、特に、テストされるべき被テスト回路の設計変更に対し、テスト回路のわずかの設計変更で対応できる集積回路装置に関する。

## 【0002】

【従来の技術】近年の微細加工技術の進歩に伴い、半導体集積回路装の集積度が飛躍的に向上され、LSI内部回路がより大規模化かつ複雑化された。それに伴って、LSI内の全内部回路に対して、故障シミュレーションに基づいたテストを短い時間で行なうことが次第に難しくなってきた。その結果、近年のLSIでは、テスト容易性を考慮した設計を行なうことが必要不可欠になってきている。特に、セルベース設計LSIのようなApplication Specific IC(ASIC)と呼ばれるカスタムLSIでは、集積度の向上が要求される一方で、設計に要する時間の短縮および低価格化の要求がますます増加している。すなわち、テスト容易性だけでなくテスト設計の容易化および自動化が強く望まれている。

【0003】一方、プリント回路基板(PCB)は、近年の表面実装技術の進歩に伴って、その基板表面の実装密度が高くなった。その結果、従来からLSI内部のテスト容易化手法であったスキャンテスト手法をPCBテストに適用するため、「バウンダリスキャン」と呼ばれるテスト手法がIEEEによって標準化された(IEEE 1149.1)。したがって、LSI内部に、このPCBテストのための回路を設けるという要求が高まっている。今後のASICには、設計容易なLSI内部テストのためのテスト回路とPCBテストのためのテスト回路とを設ける必要があることが指摘される。

【0004】半導体集積回路内に設けられた回路をテストする目的で、スキャン方式が利用されている。スキャン方式として、シリアルスキャン方式とアドレススキャン方式とが知られる。シリアルスキャン方式では、予め半導体集積回路内にシフトレジスタが設けられており、テストが実行される前および後に外部からそのシフトレジスタがアクセスされる。シフトレジスタへのアクセスにより、半導体集積回路内の所望の被テスト回路部分にテストデータを与えることができ、そして/または、被テスト回路部分からのテスト結果を示すデータを外部に出力することができる。

【0005】一般に、テストされるべき被テスト回路が正常であるか否かを判定するために、多数のテストパターンについてテストを実行する必要がある。すなわち、多数のテストデータが繰返し被テスト回路に与えられ、

3

テスト結果を示すデータがその被テスト回路から出力される。そのテスト結果に基づいてその被テスト回路が正常であるか否かが判定される。したがって前述のシリアルスキャン方式では、テストデータの入力および出力がクロック信号に응答してシリアルに行なわれるので、テストデータの数、すなわち繰返し行なわれるテストの回数が増加するにつれてテストに要する合計の時間が増加される。

【0006】図9は、従来の半導体集積回路装置におけるテスト回路および被テスト回路のブロック図である。図9を参照して、この半導体装置200は、テストを実行するのに必要な制御信号を出力するテスト回路51cと、被テスト回路202ないし207を含む。各被テスト回路202ないし207内にはスキャンパスを構成するシフトレジスタ51ないし57がそれぞれ設けられる。各シフトレジスタ52ないし57は、各被テスト回路202ないし207に対し、テスト回路51cを介して伝送されるテストデータを与え、そして/または、各被テスト回路内で発生されるテスト結果をテスト回路51cを介して外部に出力する。テスト回路51cからの各シフトレジスタ52ないし57へのテストデータの供給およびテスト結果の伝送は、各シフトレジスタの入力および出力に接続された配線を介して行なわれる。したがって、各シフトレジスタ52ないし57は、データ伝送のための少なくとも2本の配線を介してテスト回路51cに接続される。その結果、図9に示した配線部分AおよびBにおいて配線が集中され、これらの配線がこれらの配線を設けるためのみに使われる領域を必要とすることが指摘される。

【0007】テスト回路51cの一例が図10に示される。図10に示した回路は、特開平1-112177号公報に見られる。図10は、シフトレジスタ90ないし99を除き、図9に示したテスト回路51c内に設けられた回路構成を示す。図10を参照して、テスト回路51cは、シフトレジスタ90ないし99を選択するための3ビットの選択信号SLを保持するためのレジスタ2と、レジスタ2に保持された3ビットの選択信号SLをデコードするためのデコーダ4と、デコーダ4の出力に接続されたスイッチング素子61ないし67と、各シフトレジスタ90ないし99を駆動するためのクロック信号を供給するANDゲート81ないし87を含む。各シフトレジスタ90ないし99は、共通のテストデータ入力端子D1に接続される。各ANDゲート81ないし87は、クロック信号φbおよびデコーダ4からの出力信号を受けるように接続される。レジスタ2は、3ビットのシフトレジスタを含み、クロック信号φaに응答してシフトされた選択信号SLを保持する。デコーダ4は、信号ENに응答して可能化され、スイッチング素子61ないし67を選択的にオンさせるための信号001ないし110を出力する。

4

【0008】動作において、外部から3ビットの選択信号SLおよびクロック信号φaがレジスタ2に与えられる。レジスタ2は、クロック信号φaに응答して、シフトされた選択信号SLを保持し、それをデコーダ4に与える。デコーダ4は、外部から与えられる可能化信号ENに응答して、保持された選択信号SLをデコードする。デコードされた信号は、ANDゲート81ないし87に供給される。したがって、ANDゲート81ないし87は、選択信号SLによって選択されたシフトレジスタのみに駆動のためのクロック信号を供給する。これに加えて、デコーダ4によってデコードされた出力信号001ないし110がスイッチング素子61ないし67に与えられるので、選択されたシフトレジスタの出力に接続されているスイッチング素子だけがオンする。したがって、選択信号SLによって指定されたシフトレジスタのみから、テスト結果を示す信号Doが出力される。

【0009】一般に、半導体集積回路装置は、様々な機能を有する回路ブロックからなる。回路ブロックは、機能単位で設けられることが多く、集積回路のテストは、テストデータ作成を容易にするため、回路ブロックごとにかつ機能単位でしばしば行なわれる。したがって、図9に示したように、被テスト回路ブロック202ないし207をテストするのに用いられるシフトレジスタ52ないし57が各ブロック内に設けられる。また、テストが回路ブロック単位で行なわれるので、シフトレジスタは回路ブロック単位で分割され、これによって、シリアルスキャン方式の欠点であるテスト時間の増加が抑えられている。

【0010】

【発明が解決しようとする課題】図9に示したように、被テスト回路ブロック202ないし207をテストするためにテスト回路51cが半導体装置内に設けられる。被テスト回路ブロックの数、すなわちシフトパスの数は、その半導体チップの回路構成によって異なり、これによってテスト回路ブロック51Cの制御系回路およびデータ入出力インタフェース回路が半導体チップごとに異なってしまう。このことは、個々の半導体装置ごとにテスト回路51cの設計を変更する必要があることを意味する。すなわち、図10に示したシフトレジスタ90ないし99の増加または減少に伴って、スイッチング素子61ないし67およびANDゲート81ないし87の増加または減少が必要となる。場合によっては、使用すべきシフトレジスタの増加により、レジスタ2およびデコーダ4のビット長さをも変更すべき場合がある。

【0011】このように、テスト回路51cの回路構成が個々の半導体装置又はチップに依存して設計されるべきであるので、設計者は個々の半導体装置を設計する際にテスト回路51cについて多くの設計変更を行なう必要がある。上記のようなシフトパスの増減のための設計変更に適応することができるように多数のシフトパスが

テスト回路51c内に設計される場合では、被テスト回路ブロックの数が少ないとき、必要でない回路の存在により望ましくない占有面積の増加が生じる。さらにはまた、図9の配線部分AおよびBに見られるように、データ信号を伝送するための数多くの配線が必要となるので、配線によって占められる領域の増加が避けられない。すなわち、必要な配線領域が高集積化のための妨げとなっている。さらにはまた、以下に示すように、ある回路ブロックに対してテストを実行するために複数のシフトバスが必要とされる場合（たとえば、入力データと出力データが異なったシフトバスにそれぞれ保持される場合）、テストを実行するのに長い時間がかかることも指摘される。

【0012】図11は、3つのシフトレジスタを使用して従来のテスト回路によりテストが実行される場合のフロー図である。以下の説明では、簡単化のために、図10に示した3つのシフトレジスタ91ないし93が使用され、このうち被テスト回路の入力テストデータがシフトレジスタ91に設定され、これの印加により得られる出力データがシフトレジスタ92および93に取込まれるものと仮定する。また、各シフトレジスタがL、M、Nのビット長さをそれぞれ有するものと仮定する。

【0013】まず、ステップ41において、シフトレジスタ91を選択するための3ビットの選択信号SLがクロック信号φaにตอบสนองしてレジスタ2に与えられる。この選択信号SLの入力のために3周期分のクロックパルスが必要となる。デコーダ4が入力された選択信号SLをデコードし、スイッチング素子62およびANDゲート82のみを活性化させる。

【0014】次に、ステップ42において、テストデータD1がクロック信号φbにตอบสนองしてシフトレジスタ91に与えられる。このテストデータを入力するのに、シフトレジスタ91のビット長に相当するL周期分のクロックパルスを要する。

【0015】ステップ43において、被テスト回路のテストが実行され、シフトレジスタ91に設定されたテスト入力データが被テスト回路に与えられる。したがって、テスト結果を示すテスト出力データがシフトレジスタ92および93に与えられかつ保持される。この例では、テストを実行するのに1周期分のクロックパルスを要するものと仮定する。

【0016】ステップ44において、シフトレジスタ92を選択するための選択信号SLがレジスタ2に与えられる。デコーダ4がこの選択信号SLをデコードし、そしてスイッチング素子63およびANDゲート83のみを活性化させる。選択信号SLを入力するのに3周期分のクロックパルスを要する。

【0017】ステップ45において、シフトレジスタ92内のテスト結果を示すデータD0がスイッチング素子63を介して出力される。シフトレジスタ92からの出

力のためにM周期分のクロックパルスを要する。

【0018】ステップ46において、シフトレジスタ93を選択するための選択信号SLがレジスタ2に与えられる。このため3周期分のクロックパルスが必要となる。したがって、デコーダ4により、スイッチング素子64およびANDゲート84のみが活性化される。

【0019】ステップ47において、シフトレジスタ93内に保持されたテスト結果を示すデータがクロック信号φbにตอบสนองしてスイッチング素子64を介して出力される。このためN周期分のクロックパルスが必要となる。

【0020】ステップ45およびステップ47において、集積回路装置外部に出力されたテスト結果を示すデータは、図示されていない分析ステップにおいて、与えられたテストデータD1とともに分析され、被テスト回路が正常であるか否かが判定される。

【0021】ステップ48において、すべてのテストデータ（テストパターン）について上記の動作が終了されたか否かが判定される。すなわち、準備されたテストデータが残されているとき、処理がステップ41に戻り、上記と同様の処理が繰返される。その結果、図11に示した例ではQ個のテストデータについてテストが実行されることになる。

【0022】上記の説明から理解されるように、Q個のすべてのテストデータについてテストを実行するのに要する合計の時間TT1は、次式により表わされる。

【0023】

$$[式1] \quad TT1 = (10 + L + M + N) \times Q \quad \dots (1)$$

このように、シフトレジスタのビット長さL、M、Nおよび全テストパターンの数Qにより、必要な合計の所要時間TT1が増加することが指摘される。

【0024】この発明は、上記のような課題を解決するためになされたもので、集積回路装置において、テストされるべき被テスト回路における回路変更に応じて必要となる、テスト回路の設計変更を減少させることを目的とする。

【0025】この発明の別の目的は、集積回路装置において、被テスト回路をテストするのに要する時間を短縮することである。

【0026】この発明のさらに別の目的は、集積回路装置において、被テスト回路をテストするのに使用される配線の密度を低下させることである。

【0027】

【課題を解決するための手段】請求項1の発明に係る集積回路装置は、単一のデータ入力と単一のデータ出力との間に結合された少なくとも1つのシフトレジスタ手段と、各々がテストされるべき複数の被テスト回路と、各々が複数の被テスト回路の対応する1つに接続され、対応する1つの被テスト回路のためのスキャンバスを構成する複数のスキャンバス回路手段とを含む。複数のスキ

キャンパス回路手段はデータ入力とデータ出力との間に直列に接続され、直列接続が構成される。複数のスキャンバス回路手段の直列接続および少なくとも1つのシフトレジスタ手段は互いに並列に接続される。この集積回路装置は、さらに、外部的に与えられる選択信号に応答して、複数のスキャンバス回路手段の直列接続および少なくとも1つのシフトレジスタ手段の一方を選択的に有効化させる選択的有效化手段と、各々が対応する1つのスキャンバス回路手段をバイパスさせるための複数のバイパス手段と、外部的に与えられるバイパス制御信号に応答して、複数のバイパス手段を選択的に動作させるバイパス制御手段とを含む。

【0028】請求項3の発明に係る集積回路装置は、テストデータを受けるためのテストデータ入力と、テスト結果データを出力するためのテストデータ出力と、各々がテストされるべき第1および第2の被テスト回路ブロックと、第1の被テスト回路ブロックにまたはからテストデータを書込みまたは読出すための第1のスキャンバス回路手段と、第2の被テスト回路ブロックにまたはからテストデータを書込みまたは読出すための第2のスキャンバス回路手段と、外部的に与えられる選択信号に応答して、第1および第2のスキャンバス回路手段の一方を選択的に有効化させる選択的有效化手段とを含む。第1および第2のスキャンバス回路手段は、テストデータ入力とテストデータ出力との間に並列に接続される。第2のスキャンバス回路手段は、テストデータ入力とテストデータ出力との間に接続され、 $n$ 段にカスケードされた $n$ 個( $n \geq 2$ )のシフトレジスタ手段と、各々が対応する1つのシフトレジスタ手段のバイパスを構成する $n$ 個のバイパス手段とを備える。この集積回路装置は、さらに、外部的に与えられるバイパス制御信号に応答して、 $n$ 個のバイパス手段を選択的に動作させるバイパス制御手段を含む。

【0029】

【作用】請求項1の発明における集積回路装置では、複数の被テスト回路をテストするための複数のスキャンバス回路手段の各々に、対応する1つのスキャンバス回路手段をバイパスさせるための複数のバイパス手段が設けられている。バイパス制御手段が、外部的に与えられるバイパス制御信号に応答して、複数のバイパス手段を選択的に動作させるので、テストされるべき複数の被テスト回路において回路変更が必要となっても、選択的有效化手段の設計変更を行なう必要がない。すなわち、バイパス制御手段により複数のバイパス手段が選択的に動作できるので、複数の被テスト回路において生じた回路変更に対応してスキャンバス回路手段を設けることができる。その結果、テスト回路、すなわち選択的有效化手段の設計変更が必要とならない。

【0030】請求項3の発明における集積回路装置でも、第2の被テスト回路ブロックをテストするための第

2のスキャンバス回路手段内に、各々がバイパス手段を有する $n$ 個のシフトレジスタ手段が設けられる。バイパス制御手段が、外部的に与えられるバイパス制御信号に応答して、 $n$ 個のバイパス手段を選択的に動作させるので、テスト回路、すなわち選択的有效化手段の設計変更を必要とすることなく、第2の被テスト回路ブロックにおいて生じた回路変更に対応することができる。

【0031】

【実施例】図1は、この発明の一実施例を示す集積回路装置のブロック図である。図1を参照して、図10に示したシフトレジスタ90の代わりに、直接に接続され、かつ各々がバイパス回路を有する3つのシフトバス回路10、20および30が設けられる。これに加えて、外部から制御信号CPおよびRSが与えられる。他の回路部分は、図10に示したものと同様であるので説明が省略される。

【0032】図1に示したバイパス回路を有するシフトバス回路10が図2に示される。他のバイパス回路を有するシフトバス回路20および30も同様の回路構成を有する。図2を参照して、このシフトバス回路10は、直列に接続されたシフトレジスタラッチ(SRL)を有するシフトレジスタ9aと、シフトレジスタ9aをバイパスさせるためのバイパス線13と、シフトレジスタ9aまたはバイパス線13を選択するための選択回路12とを含む。シフトレジスタ9aは、テストされるべき被テスト回路(図示せず)に接続され、スキャンバスを構成する。選択回路12は、シフトレジスタ9aの出力に接続されたラッチ回路17と、ラッチされた信号をデコードする1ビットのデコーダ18と、デコーダからの出力信号に応答して動作するスイッチング素子15および16とを含む。

【0033】動作において、シフトレジスタ9aは、図1に示したANDゲート81から出力されるクロック信号 $\phi c$ に応答して、与えられたシリアルデータ(テストデータ)Siをシフトさせる。ラッチ回路17は、予めリセット信号RSによりリセットされている。ラッチ回路17は、外部から与えられる保持信号CPに応答してシフトレジスタ9aから出力される入力データSiの1つを保持する。保持された信号はデコーダ18によりデコードされ、スイッチ素子15および16のいずれかが選択的にオンする。その結果、入力されたシリアルデータSiがシフトレジスタ9aおよびスイッチング素子16またはバイパス線13およびスイッチング素子15のいずれかを介してシリアル出力データSoとして出力される。

【0034】3つのシフトバス回路10、20および30は直列に接続されているので、1つのANDゲート81によりクロック信号の供給を制御でき、かつ1つのスイッチング素子61により出力制御も行なうことができる。図1に示した例では、3つのシフトバス回路10、

20および30が設けられているが、半導体集積回路装置に特有の被テスト回路部分に応じて、直列に接続されるシフトバス回路の数およびそのビット長さが制御される。他のシフトレジスタ91ないし99は、半導体集積回路装置に共通に使用される回路に接続されており、したがってこれらのためのテスト回路の設計を変更する必要がない。シフトバス回路10、20および30を用いたテストにおいて、テストにおける必要に応じて各シフトレジスタ9a、9bおよび9cがバイパス線13によりバイパスされる。したがって、テストに必要なシフト

レジスタのみを使用することができる。  
 【0035】このように、半導体集積回路装置に特有の回路部分をテストするのに必要なシフトバス回路（たとえば10、20および30）が1つのスキャンバス（たとえば図10に示したシフトレジスタ90）の代わりに設けられるので、テスト回路に要求される設計変更が最小限となる。このことは、テスト回路において一般の半導体集積回路装置に共通に使用される得る回路部分を設計変更なく使用できることを意味する。

【0036】図1に示したバイパス回路を有する3つのシフトバス回路10、20および30が図4に示される。これらの3つのシフトバス回路を使用してテストが実行される場合のフロー図が図5に示される。以下にテストを実行するのに要する時間について説明する。

【0037】図5を参照して、まず、ステップ31において、3つのシフトバス回路10、20および30にリセット信号RSが与えられ、各シフトバス回路内に設けられたラッチ回路17がリセットされる。このリセットのために1つのクロックパルスを要する。

【0038】次に、ステップ32において、3つのシフトバス回路10、20および30におけるシフトレジスタのバイパスを制御するための信号が各ラッチ回路17に与えられる。このバイパス制御信号の供給は、クロック

$$TT2 = (L + M + N + 1) \times (2 + Q) \quad \dots (2)$$

式(1)および(2)を比較することにより、3つのシフトレジスタを用いてテストを実行するのに要する時間差 $\Delta TT$ は次式のように得られる。

【0041】

$$\begin{aligned} \text{【式3】 } \Delta TT &= TT1 - TT2 \\ &= 9Q - 2(L + M + N + 1) \quad \dots (3) \end{aligned}$$

一般には、テストパターン数は使用されるシフトレジスタのビット長さと比較してより大きい。したがって、 $\Delta TT > 0$ が得られる。すなわち、図1または図4に示した3つのスキャンバス10、20および30を使用することによりテストの実行に要する時間が減少される。

【0045】たとえば、各シフトレジスタのビット長さL、M、N=20と仮定し、1000個のテストパターン(Q)が準備されている場合では、これらの値を式(3)に適用することにより、次式が得られる。

【0046】

\*ク信号 $\phi c$ にตอบสนองして各シフトレジスタ9a、9bおよび9cを介して行なわれるので、(L+M+N)のクロックパルスを要する。ステップ33において、各ラッチ回路17が外部から与えられる保持信号CPにตอบสนองしてバイパス制御信号を保持する。この保持のために1つのクロックパルスを要する。

【0039】ステップ34において、直列に接続された3つのシフトレジスタ9a、9bおよび9cにテストデータが入力される。(L+M+N)のクロックパルスを要する。

【0040】ステップ35において、供給されたテストデータに基づいて被テスト回路のテストが実行される。前述のように、1つのクロックパルスを要するものと仮定する。テスト結果を示すデータがシフトレジスタ9a、9bおよび9cのいずれかに保持される。

【0041】ステップ36において、シフトレジスタ9a、9bおよび9c内に保持されたデータがクロック信号 $\phi b$ にตอบสนองして出力される。同時に、新しいテストデータがシフトレジスタ9a、9bおよび9cに与えられる。このステップは(L+M+N)のクロックパルスを要する。

【0042】ステップ37において、すべてのテストデータ(テストパターン)についてのテストが実行された否かが判断される。テストデータが残されているとき、再びステップ35に戻り、ステップ35および36のテスト動作が繰返される。したがって、Q個のテストデータが準備されている場合では、ステップ35および36がQ回繰返される。したがって、Q個のすべてのテストデータについてテストを実行するのに要する時間TT2は、次式により表わされる。

【0043】

【式2】

$$\text{【式4】 } \Delta TT = 9000 - 122$$

$$= 8878 \quad \dots (4)$$

すなわち、この場合では、8878個のクロックパルスに相当する時間が短縮されることが理解される。

【0047】この発明の別の実施例を示す集積回路装置が図6に示される。図6を参照して、図1に示したシフトレジスタ91の代わりにバイパス制御信号を保持するためのシフトレジスタ70が設けられる。このシフトレジスタ70は、カスケードされた3つのレジスタ71、72および73を含む。バイパス回路を有するシフトバス回路40、50および60のバイパスを制御するためのバイパス制御信号が入力データDiとしてシフトレジスタ70に与えられる。各レジスタ71、72および73は、ANDゲート82から与えられるクロック信号にตอบสนองして、与えられたバイパス制御信号をシフトさせる。各レジスタ71、72および73に保持されたバイ

バス制御信号は、シフトバス回路40、50および60に与えられる。各シフトバス回路40、50および60は、シフトレジスタ9a、9bおよび9cをそれぞれ含む。

【0048】図6に示した1つのシフトバス回路40が図3に示される。図3を参照して、このシフトバス回路40は、ANDゲート81からのクロック信号φcにตอบสนองして動作するシフトレジスタ9aと、バイパス制御信号BC1にตอบสนองして動作する選択回路42とを含む。選択回路42は、図2に示した選択回路12と比較すると、ラッチ回路17が除かれている。したがって、デコーダ18は、シフトレジスタ70内のレジスタ73から出力されたバイパス制御信号BC1をデコードし、スイッチング素子15または16のいずれかをオンさせる。その結果、シリアル入力信号S1は、シフトレジスタ9aまたはバイパス線43のいずれかを介してシリアル出力信号Soとして出力される。

【0049】図6に示した3つのシフトバス回路40、50および60が図7に示される。図7を参照して、各シフトバス回路40、50および60は、同様の回路構成を有する。シフトレジスタ70は、カスケードされた3つのレジスタ71、72および73を含む。各レジスタ71、72および73は、図6に示したANDゲート82から出力されるクロック信号φdにตอบสนองして与えられたバイパス制御信号BC1ないしBC3をシフトさせる。したがって、シフトバス回路40、50および60内の各バイパス線の使用が設定されるとき、各レジスタ71、72および73は、バイパス制御信号BC3、BC2およびBC1をそれぞれ保持し、保持された信号を対応する選択回路42に供給する。

【0050】図6に示した集積回路装置を用いることによりテストが実行される場合の動作は、図1に示した集積回路装置と類似しているため、以下に簡単に説明する。まず、シフトレジスタ70を選択するための選択信号SLがレジスタ2に与えられる。デコーダ4は、レジスタ2に保持された信号をデコードするので、ANDゲート82およびスイッチング素子62だけが活性化される。3ビットのバイパス制御信号BC1ないしBC3がシフトレジスタ70に与えられる。シフトレジスタ70内の各レジスタ71、72および73は、ANDゲート82からのクロック信号にตอบสนองしてそれらのバイパス制御信号を保持する。たとえば、バイパス制御信号(BC1, BC2, BC3) = (0, 1, 0)の場合では、シフトレジスタ9aおよび9cがバイパスされる。したがって、入力されるテストデータ信号は、クロック信号にตอบสนองしてシフトレジスタ9b内でシフトされる。他の例では、バイパス制御信号(0, 1, 1)が与えられる。この場合では、シフトレジスタ9aのみがバイパスされる。したがって、シフトレジスタ9bおよび9c内に保持されたデータ信号がスイッチング素子61を介して出

力される。

【0051】図6に示したシフトバス回路が用いられる場合においても、図1に示した場合と同様の効果が得られることが指摘される。

【0052】図2および図3に示したシフトバス回路10および40のいずれかのみによって集積回路装置内のスキャンバスが構成されている例が図8に示される。図8を参照して、各スキャンバス152ないし157は、図1または図3に示したバイパス回路を有するシフトバス回路と同様の回路構成を有する。各スキャンバス152ないし157は、被テスト回路102ないし107内にそれぞれ設けられる。スキャンバス152ないし157および各スキャンバスに接続された配線Wにより1つのループが形成される。したがって、テスト回路51cは、配線Wsを介してテストデータをスキャンバスに供給し、配線Wrを介してテスト結果をスキャンバスから受ける。図9に示した従来の配線と比較してわかるように、配線の本数が減少されていることが指摘される。したがって、配線を形成するのに必要な配線領域が減少され、高集積化に貢献することも可能となる。

【0053】図12は、この発明のさらに別の実施例を示す、バウンダリスキャンレジスタを備えた集積回路装置のブロック図である。図12を参照して、この集積回路装置100aは、各々がテストされるべき被テスト回路103、104、105と、この集積回路装置100aの周辺に設けられたバウンダリスキャンレジスタ92aとを含む。シフトバス回路10'、20'、30'が対応する被テスト回路103、104、105にそれぞれ接続される。各シフトバス回路10'、20'、30'は、バイパス回路(図示せず)をそれぞれ備えており、かつ直列に接続される。被テスト回路103は、通常動作において、バウンダリスキャンレジスタ92aおよびシフトバス回路10を介して外部的に与えられる入力データDAIを受けるが、テスト動作において、シフトバス回路10'を介してシフトされたテストデータを受ける。被テスト回路104は、通常動作において、被テスト回路103から発生される出力信号をシフトバス回路20'を介して受け、テスト動作において、シフトバス回路20'からシフトされたテストデータを受ける。同様に、被テスト回路30も、通常動作において、被テスト回路103から発生された出力信号を受け、テスト動作において、シフトバス回路30'からシフトされたテストデータを受ける。被テスト回路104および105から発生される出力信号は、バウンダリスキャンレジスタ92aを介して出力データDAOとして外部に出力される。

【0054】図13は、図12に示した集積回路装置内のテスト回路の回路ブロック図である。図13を参照して、このテスト回路51eは、各々がバイパス回路を有する3つのシフトバス回路10'、20'、30'と、



バウンダリスキャンレジスタ(BSR)92aと、デバイス識別レジスタ(DIR)93aと、バイパスレジスタ(BR)94aと、タップアクセスポート(TAP)コントローラ21とを含む。図13に示した3つのシフトバス回路10', 20', 30'は、図1に示され、かつ既に説明したシフトバス回路10, 20, 30と基本的に同様の回路構成を有する。したがって、テスト回路51eを使用することにより、図1に示した回路51cの場合と同様の利点が得られることが指摘される。

【0055】バウンダリスキャンレジスタ92a、デバイス識別レジスタ93aおよびバイパスレジスタ94aは、いずれも基本的にシフトレジスタによって構成されており、これらについての詳細は、IEEEによる前述の標準(IEEE1149.1)に開示されている。簡単にいうと、バウンダリスキャンレジスタ92aは、LSIがプリント回路基板に実装されたときに、様々なボードテスト、たとえば配線接続テスト(EXTEXT)、LSI内部テスト(INTTEST)、サンプルテスト(SAMPLE)を実行するのにスキャンレジスタとして使用される。したがって、バウンダリスキャンレ

ジスタ92aは、各LSIの入出力端子に接続される。

【0056】デバイス識別レジスタ93aは、各LSIの識別情報、すなわちIDコードをストアするために設けられ、ボードテストが実行されるときに、故障LSIを判別するために使用される。デバイス識別レジスタ93aにシフトクロックパルスφcを選択的に供給することにより、識別データの取込み(Capture-DR)およびシフト(Shift-DR)が行なわれる。IDコードは、テストデータ出力TDOを介して得られる。

【0057】バイパスレジスタ94aは、テストデータ入力TDIとテストデータ出力TDOとの間を短時間で接続するために設けられる。一般に、テストデータ入力TDIとテストデータ出力TDOとの間のスキャンバス長は非常に長いので、テストデータ入力TDIに与えられた入力データをテストデータ出力TDOに与えるのに長い時間を要する。したがって、テスト動作が行なわれないとき、この時間長さを減じるためバイパスレジスタ94aが選択され、データ伝送に要する時間が短縮される。

【0058】レジスタ2は、命令レジスタと呼ばれ、前述のシフトレジスタの選択およびその動作を制御するための命令信号を保持し、保持された信号をデコーダ4に与える。

【0059】TAPコントローラ21は、少ないテストピン、すなわち4ないし5のテストピンを使用してテスト回路51eを制御するために設けられる。TAPコントローラ21は、テストリセット信号TRST、テストモード選択信号TMSおよびテストクロック信号TCKを受けるように接続される。TAPコントローラ21

は、シフトクロックパルスφaおよびφcの一方を出力することにより、命令レジスタ2または他のシフトレジスタ92a, 93a, 94aなどのいずれかを選択的に動作させる。これに加えて、これらのレジスタの動作制御、すなわちデータの取込み、印加(更新および伝搬など)を行なう。TAPコントローラ21の状態遷移図は図18に示される。

【0060】図13に示したバイパス回路を有するシフトバス回路10', 20', 30'は、設計定義テストデータレジスタを構成する。設計定義テストデータレジスタは、LSI内の内部回路をテストするために設けられる。図13に示したシフトバス回路10'が図16に示される。図16に示したシフトバス回路10'は、図2に示した回路10と同様に動作することが指摘される。

【0061】図14は、この発明の他の実施例を示す、バウンダリスキャンレジスタを備えた集積回路装置のブロック図である。図12に示した回路と比較すると、バイパス回路を制御するためのレジスタ71, 72, 73がシフトバス回路40', 50', 60'とは別に設けられていることが指摘される。他の回路部分は図12に示した集積回路装置100aと同様であるので説明が省略される。

【0062】図15は、図14に示した集積回路装置内のテスト回路の回路ブロック図である。図15を参照して、各シフトバス回路40, 50, 60内に設けられたバイパス回路を制御するためのレジスタ71, 72, 73がシフトレジスタ70として設けられていることが指摘される。図15に示したシフトバス回路40'が図17に示される。他の回路部分は図13に示したテスト回路51eと同様であるので説明が省略される。

【0063】このように、図1, 図6, 図13および図15に示されるように、バイパス回路を有するシフトバス回路をスキャンバスとして適用することにより、様々な半導体集積回路装置に共通に使用され得るテスト回路を部分的に固定化することが可能となる。個々の半導体装置に特有の回路部分をテストするためには、直列に接続され、かつバイパスを有するシフトバス回路が融通性よく適用される。一般に、回路が固定化されることは、回路設計に要する時間を短縮するのに貢献する。これに加えて、テストを実行するのに要する時間も短縮される。さらには、配線による占有面積が減少され、高集積化された回路が得られる。

【0064】

【発明の効果】以上のように、請求項1の発明によれば、各スキャンバス回路手段をわたって接続されたバイパス手段を選択的に動作させるバイパス制御手段を設けたので、テストされるべき被テスト回路における回路変更に応じて必要となるテスト回路の設計変更を最小限に抑えることが可能となった。

【0065】請求項3の発明によれば、各シフトレジスタ手段に設けられたn個のバイパス手段を選択的に動作させるバイパス制御手段が設けられたので、第2の被テスト回路ブロックにおける回路変更に応じて必要となる設計変更を最小限に抑えることが可能となった。

【図面の簡単な説明】

【図1】この発明の一実施例を示す集積回路装置の回路ブロック図である。

【図2】図1に示した1つのシフトバス回路の回路ブロック図である。

【図3】図6に示した1つのシフトバス回路の回路ブロック図である。

【図4】図1に示した3つのシフトバス回路の回路ブロック図である。

【図5】図1に示した3つのシフトバス回路を用いてテストが実行される場合のフロー図である。

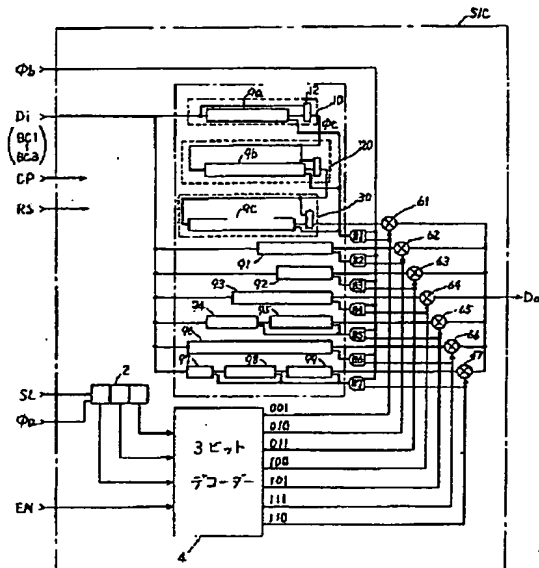
【図6】この発明の別の実施例を示す集積回路装置の回路ブロック図である。

【図7】図6に示した3つのシフトバス回路およびバイパス制御信号保持用シフトレジスタの回路ブロック図である。

【図8】図2または図3に示したシフトバス回路が適用された集積回路装置の概略のブロック図である。

【図9】従来のスキャンバスが適用された集積回路装置の概略のブロック図である。

【図1】



【図10】従来の集積回路装置のテスト回路の回路ブロック図である。

【図11】図10に示した3つのシフトレジスタを用いてテストが実行される場合のフロー図である。

【図12】この発明の他の実施例を示す、バウンダリスキャンレジスタを備えた集積回路装置のブロック図である。

【図13】図12に示した集積回路装置内のテスト回路の回路ブロック図である。

【図14】この発明のさらに他の実施例を示す、バウンダリスキャンレジスタを備えた集積回路装置のブロック図である。

【図15】図14に示した集積回路装置内のテスト回路の回路ブロック図である。

【図16】図13に示した1つのシフトバス回路の回路ブロック図である。

【図17】図15に示した1つのシフトバス回路の回路ブロック図である。

【図18】図13に示したTAPコントローラの状態遷移図である。

【符号の説明】

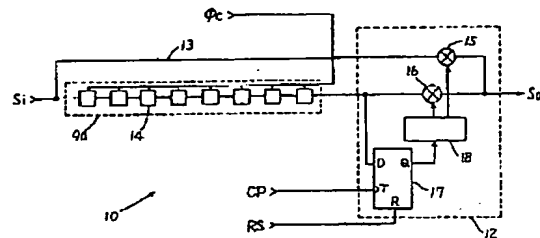
10 バイパス回路を備えたシフトバス回路

20 バイパス回路を備えたシフトバス回路

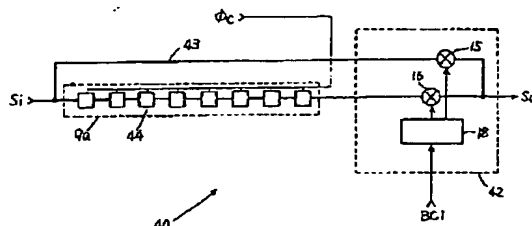
30 バイパス回路を備えたシフトバス回路

51c テスト回路

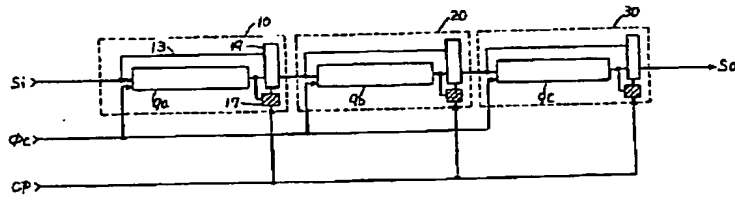
【図2】



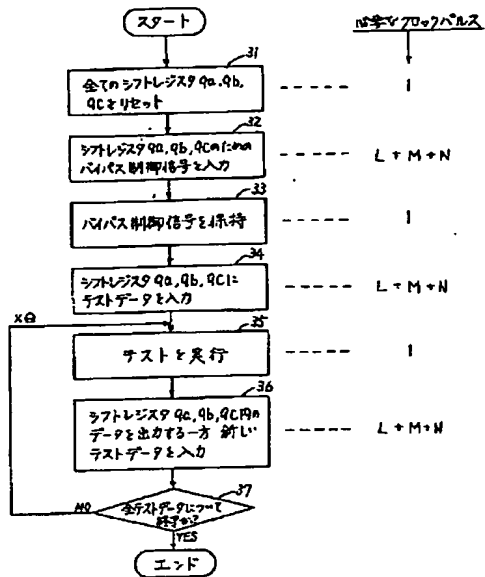
【図3】



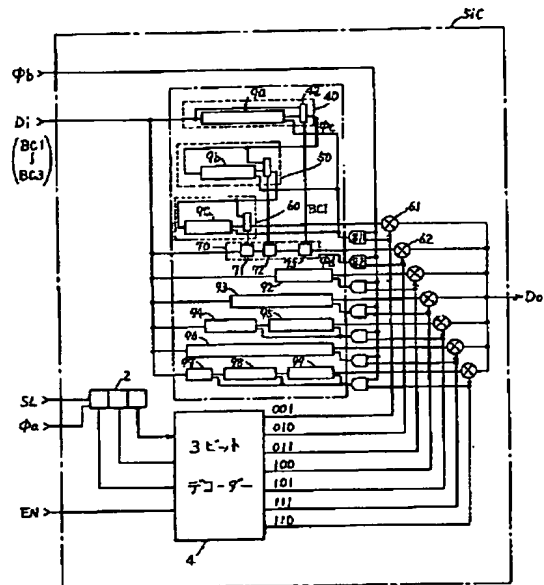
【図4】



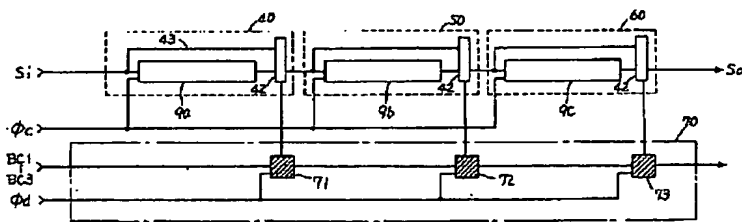
【図5】



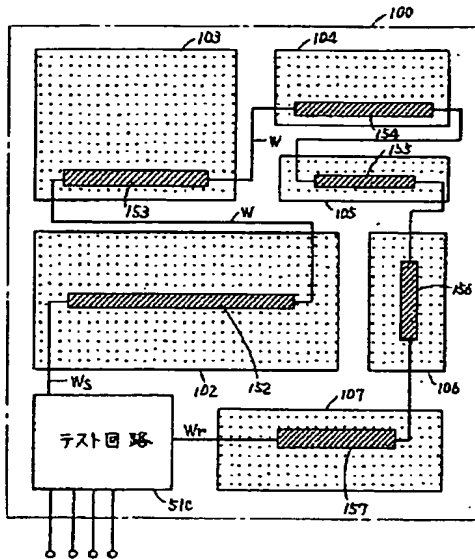
【図6】



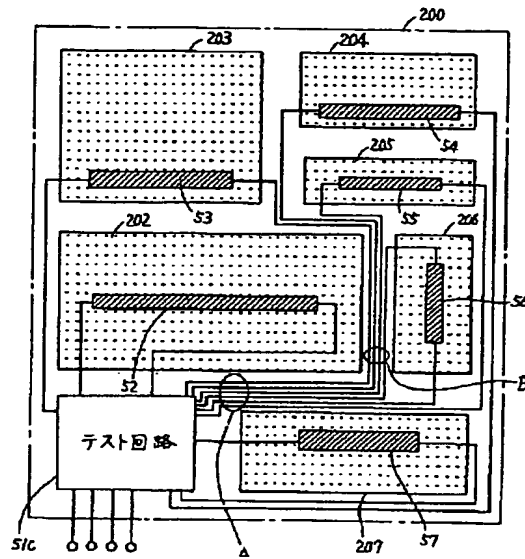
【図7】



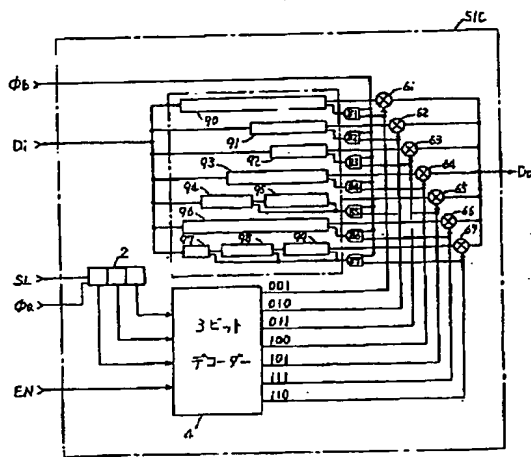
【図8】



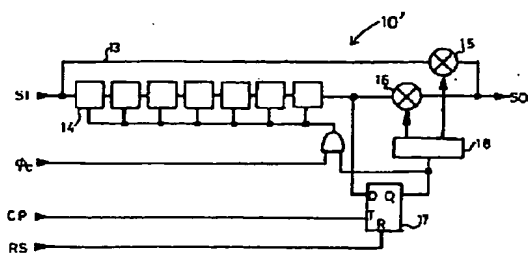
【図9】



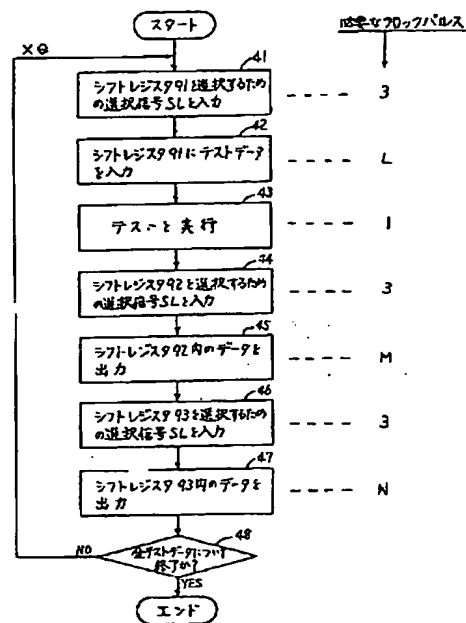
【図10】



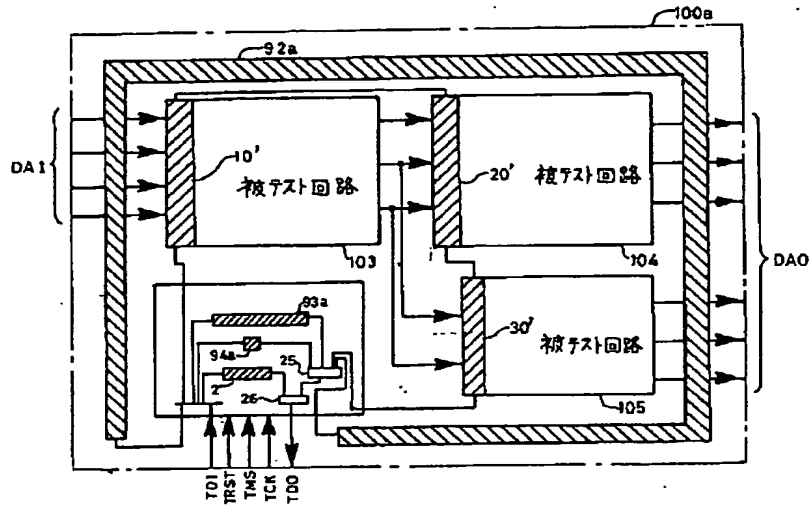
【図16】



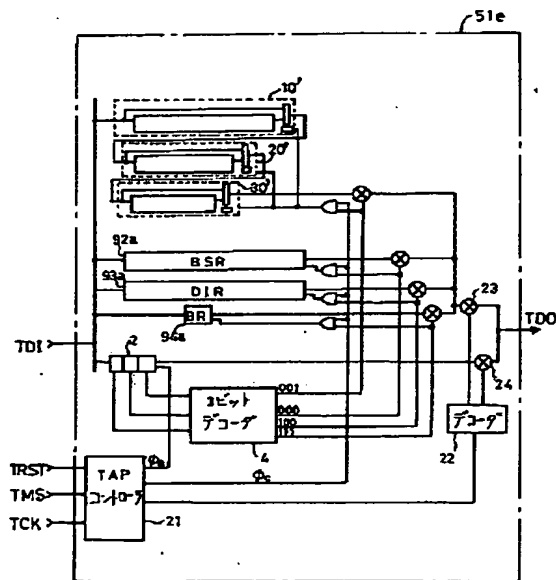
【図11】



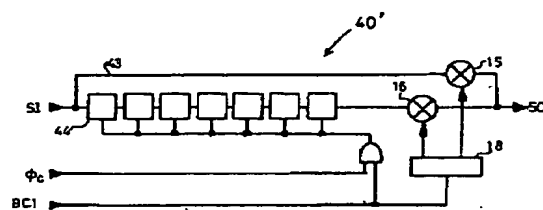
【図12】



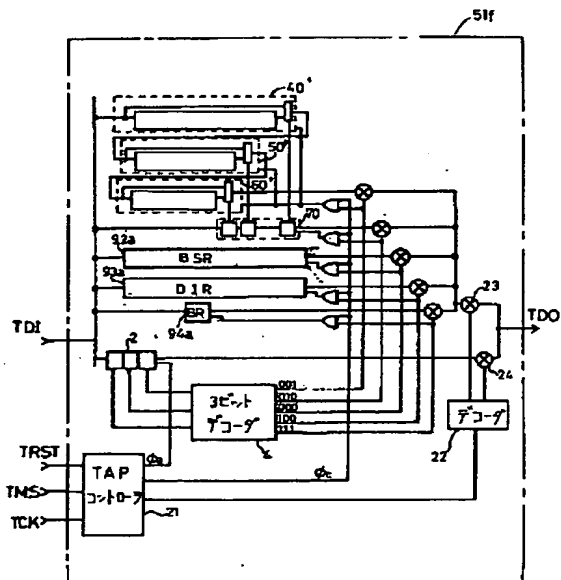
【図13】



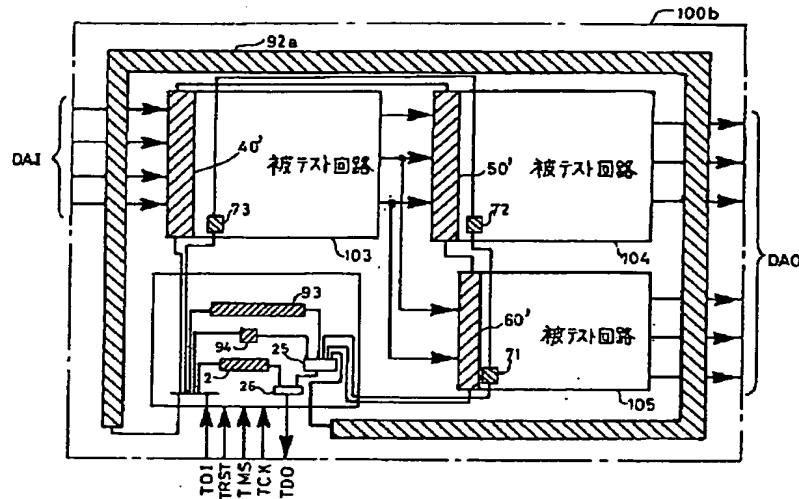
【図17】



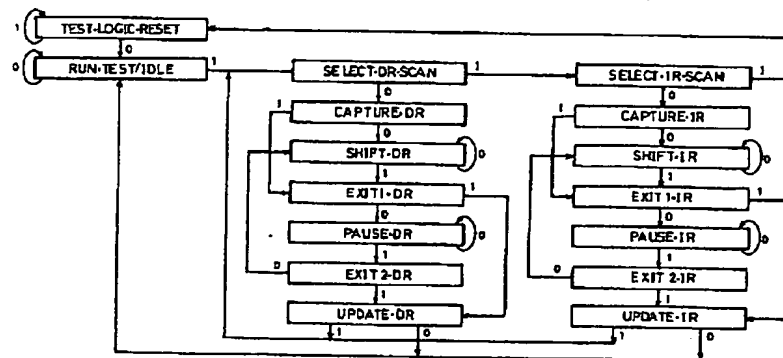
【図15】



【図14】



【図18】



## 【手続補正書】

【提出日】平成3年6月26日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

## 【補正内容】

【0006】図9は、従来の半導体集積回路装置におけるテスト回路および被テスト回路のブロック図である。図9を参照して、この半導体装置200は、テストを実行するのに必要な制御信号を出力するテスト回路51cと、被テスト回路202ないし207を含む。各被テスト回路202ないし207内にはスキャンバスを構成するシフトレジスタ52ないし57がそれぞれ設けられ

る。各シフトレジスタ52ないし57は、各被テスト回路202ないし207に対し、テスト回路51cを介して伝送されるテストデータを与え、そして/または、各被テスト回路内で発生されるテスト結果をテスト回路51cを介して外部に出力する。テスト回路51cからの各シフトレジスタ52ないし57へのテストデータの供給およびテスト結果の伝送は、各シフトレジスタの入力および出力に接続された配線を介して行なわれる。したがって、各シフトレジスタ52ないし57は、データ伝送のための専用の配線を介してテスト回路51cに接続される。その結果、図9に示した配線部分AおよびBにおいて配線が集中され、これらの配線がこれらの配線を設けるためのみに使われる領域を必要とすることが指摘

される。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】

【作用】請求項1の発明における集積回路装置では、複数の被テスト回路をテストするための複数のスキャンバス回路手段の各々に、対応する1つのスキャンバス回路手段をバイパスさせるための複数のバイパス手段が設けられている。バイパス制御手段が、外部的に共通に与えられるバイパス制御信号に応答して、複数のバイパス手段を選択的に動作させるので、テストされるべき複数の被テスト回路において回路変更が必要となっても、選択的有効化手段の設計変更を行なう必要がない。すなわち、1本の直列接続構成のスキャンバスにおいて、バイパス制御手段により複数のバイパス手段が選択的に動作できるので、複数の被テスト回路において生じた回路変更に対応してスキャンバス回路手段を設けることができる。その結果、テスト回路、すなわち選択的有効化手段の設計変更が必要とならない。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】

【実施例】図1は、この発明の一実施例を示す集積回路装置のブロック図である。図1を参照して、図10に示したシフトレジスタ90の代わりに、直列に接続され、かつ各々がバイパス回路を有する3つのシフトバス回路10、20および30が設けられる。これに加えて、外部から制御信号CPおよびRSが与えられる。他の回路部分は、図10に示したものと同様であるので説明が省略される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】このように、半導体集積回路装置に特有の回路部分をテストするのに必要な複数のシフトバス回路（たとえば10、20および30）が1つのスキャンバス（たとえば図10に示したシフトレジスタ90）の代わりに設けられるので、テスト回路に要求される設計変更が最小限となる。このことは、テスト回路において一般の半導体集積回路装置に共通に使用され得る回路部分を設計変更なく使用できることを意味する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】図5を参照して、まず、ステップ31において、3つのシフトバス回路10、20および30にリセット信号RSが与えられ、各シフトバス回路内に設けられたラッチ回路17がリセットされ、全スキャンバスがシフト動作状態におかれる。このリセットのために1つのクロックパルスを要する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正内容】

【0049】図6に示した3つのシフトバス回路40、50および60が図7に示される。図7を参照して、各シフトバス回路40、50および60は、同様の回路構成を有する。シフトレジスタ70は、カスケードされた3つのレジスタ71、72および73を含む。各レジスタ71、72および73は、図6に示したANDゲート82から出力されるクロック信号φdに~~応答して与えられたシリアルな~~バイパス制御信号BC1ないしBC3をシフトさせる。したがって、シフトバス回路40、50および60内の各バイパス線の使用が設定されるとき、各レジスタ71、72および73は、バイパス制御信号BC3、BC2およびBC1をそれぞれ保持し、保持された信号を対応する選択回路42に供給する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正内容】

【0054】図13は、図12に示した集積回路装置内のテスト回路の回路ブロック図である。図13を参照して、このテスト回路51eは、各々がバイパス回路を有する3つのシフトバス回路10'、20'、30'と、バウンダリスキャンレジスタ(BSR)92aと、デバイス識別レジスタ(DIR)93aと、バイパスレジスタ(BR)94aと、テストアクセスポート(TAP)コントローラ21とを含む。図13に示した3つのシフトバス回路10'、20'、30'は、図1に示され、かつ既に説明したシフトバス回路10、20、30と基本的に同様の回路構成を有する。したがって、テスト回路51eを使用することにより、図1に示した回路51cの場合と同様の利点が得られることが指摘される。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

## 【補正内容】

【0063】このように、図1、図6、図13および図15に示されるように、バイパス回路を有するシフトバス回路をスキャンバスとして適用することにより、様々な集積回路装置に共通に使用され得るテスト回路を部分的に固定化することが可能となる。個々の集積回路装置に特有の回路部分をテストするためには、直列に接続さ

れ、かつバイパスを有するシフトバス回路が融通性よく適用される。一般に、回路が固定化されることは、設計データのライブラリ化による再利用が可能で、回路設計に要する時間を短縮し、また、性能向上にも貢献する。これに加えて、テストを実行するのに要する時間も短縮される。さらには、配線による占有面積が減少され、高集積化された回路が得られる。